

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03657027      \*\*Image available\*\*

**MANUFACTURE OF INSULATING FILM AND MANUFACTURE OF THIN FILM TRANSISTOR**

**PUB. NO.:**      **04-022127** [JP 4022127 A]

**PUBLISHED:**      January 27, 1992 (19920127)

**INVENTOR(s):**   FURUTA MAMORU

**APPLICANT(s):** MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company or Corporation), JP (Japan)

**APPL. NO.:**      02-128476 [JP 90128476]

**FILED:**          May 17, 1990 (19900517)

**INTL CLASS:**      [5] H01L-021/316; H01L-021/318; H01L-029/784

**JAPIO CLASS:**    42.2 (ELECTRONICS -- Solid State Components)

**JAPIO KEYWORD:** R002 (LASERS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

**JOURNAL:**          Section: E, Section No. 1197, Vol. 16, No. 185, Pg. 10, May 06, 1992 (19920506)

**ABSTRACT**

**PURPOSE:** To improve transistor characteristics, by forming an insulating film of high quality on a semiconductor thin film surface at a low temperature, and modifying the semiconductor thin film at the same time as the forming of the insulating film.

**CONSTITUTION:** In an atmosphere containing at least one or more kinds of gases out of atmospheres containing oxygen, oxygen compound, water vapor, and nitrogen as constitution elements, silicon semiconductor is irradiated with an energy beam like laser light and electron beam, and the silicon semiconductor is partially melted or turned into a semimelted state, thereby generating the surface reaction with oxygen or nitrogen in the atmospheric gas, and forming a silicon oxide thin film or a silicon nitride thin film on the silicon semiconductor surface. The melting time of silicon semiconductor for the insulating film formed by this invention is short as compared with the case of thermal oxidation method and the like, so that said film is formed only on the extreme surface part. As to the quality of an insulating film, a superior insulating film wherein interfacial levels and pin holes are few can be formed.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑨ 公開特許公報(A) 平4-22127

⑫ Int. Cl.<sup>5</sup>

H 01 L 21/316  
21/318  
29/784

識別記号

A  
A

庁内整理番号

6940-4M  
6940-4M

⑬ 公開 平成4年(1992)1月27日

9056-4M H 01 L 29/78 3 1 1 F

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 絶縁膜の製造方法及び薄膜トランジスタの製造方法

⑮ 特 願 平2-128476

⑯ 出 願 平2(1990)5月17日

⑰ 発 明 者 古 田 守 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

絶縁膜の製造方法及び薄膜トランジスタの製造方法

2. 特許請求の範囲

(1) 基板上に半導体薄膜を形成する工程と、前記半導体薄膜に対し酸素、酸素化合物、水蒸気のうち少なくとも一種類以上のガスを含む雰囲気中に於いてエネルギービームの照射を行う工程を少なくとも有する絶縁膜の製造方法。

(2) 基板上に半導体薄膜を形成する工程と、前記半導体薄膜に対し酸素、酸素化合物、水蒸気のうち少なくとも一種類以上のガスを含む雰囲気中に於いてエネルギービームの照射を行い絶縁膜を形成する工程と、前記絶縁膜上にゲート電極を形成する工程と、前記絶縁膜を選択的に除去して一對のソース、ドレイン電極を形成する工程から少なくとも成る薄膜トランジスタの製造方法。

(3) 基板上に半導体薄膜を形成する工程と、前記半導体薄膜に対し酸素、酸素化合物、水蒸気のう

ち少なくとも一種類以上のガスを含む雰囲気中に於いてエネルギービームの照射を行い絶縁膜を形成する工程と、前記絶縁膜直上に第2の絶縁膜を形成する工程を有することを特徴とする薄膜トランジスタの製造方法。

(4) 基板上に半導体薄膜を形成する工程と、前記半導体薄膜に対し窒素を構成元素とする一種類以上のガスを含む雰囲気中に於いてエネルギービームの照射を行う行程を少なくとも有する絶縁膜の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、例えば薄膜トランジスタや半導体メモリ等に用いる事が可能である絶縁膜の製造方法及び薄膜トランジスタの製造方法に関するものである。

従来の技術

シリコン半導体において最も使用される絶縁膜は酸化シリコン膜及び窒化シリコン膜であるが以下に酸化シリコン膜の形成方法を例にとって説明

する。

従来シリコン半導体に用いられる絶縁膜の形成方法としては、熱酸化法、気相成長法(CVD法)及びスパッタ法(PVD法)等がある。

結晶シリコン半導体においては、シリコンと酸化シリコン膜との界面においてデバイス特性に影響を与えるトラップ等の欠陥単位が少ない良質な酸化シリコン膜が形成できるため熱酸化法が最も一般的に用いられている。

熱酸化法は、高温(一般的には1000℃以上)に加熱された反応炉中に基板を維持し反応炉中に酸素あるいは水蒸気を導入することにより、酸素がガス中から基板表面へ移動しシリコン膜中に取り込まれることにより酸化シリコン膜が形成される。熱酸化膜の形成速度はガス量(酸素濃度)と酸化物中への酸素の固溶度により決定されるため、充分な酸化速度を得るためには基板温度を充分高温に保つ必要がある。

熱酸化法に比べて低温で絶縁膜を形成する手法としては気相成長法(CVD法)やスパッタ法

(PVD法)がある。

一般的なCVD法による酸化シリコン膜の形成方法としてはシリコンを構成元素として含むガスと酸素を構成元素として含むガスを混合した雰囲気中を熱分解する事により酸化シリコンを形成する方法が用いられる。CVD法は熱酸化法に比べて低温で形成可能であるが、充分な形成速度あるいは電気特性(誘電率や耐圧等)を得るためには600℃以上の基板温度が必要である。

またPVD法による代表的な絶縁膜の形成方法としてはスパッタ法が挙げられる。スパッタ法は真空中での荷電粒子によるターゲットへの物理的な衝突を利用するため、熱酸化法やCVD法に比べてさらに低温での成膜が可能であるがピンホールが形成され易いために膜厚を厚くしたり多層構成にする必要がある。また段差部での被覆性(ステップカバレッジ)が良くないという問題点がある。

発明が解決しようとする課題

酸化シリコン膜の製造方法として一般的に用い

られている熱酸化法は、前述のように充分な酸化速度を得るためには酸素あるいは水蒸気を含む雰囲気中で基板を高温に加熱する必要がある。基板の高温処理は酸化の工程以前に形成したデバイスに対して、導入済みの不純物の濃度や分布を変化させたり最悪の場合には形成済みのデバイスの破壊を引き起こす等の問題がある。また、基板材料としてもSiや石英等の1000℃以上の高温に耐える基板以外は使用できない問題がある。近年、デバイスの微細化が進むにつれプロセス温度の低温化が不可欠になってきているが、熱酸化法においては基板温度は酸化速度に対して指数関数的に影響するために低温で熱酸化を行う場合においては酸化時間が非常に長くなり実用的でない。

熱酸化法に比べて低温で絶縁膜が形成可能な気相成長法(CVD法)やスパッタ法に代表されるPVD法は低温形成時には良質な絶縁膜が得難く、ピンホールの発生による絶縁不良等の問題が発生する。従来、薄膜トランジスタ等の絶縁膜としてCVD法あるいはPVD法により形成した絶縁膜

を用いる場合には、ピンホールの影響を避けるために絶縁膜の膜厚を厚くしたり、絶縁膜の形成を2度に分ける、あるいは2種類の絶縁膜を積層することにより絶縁不良の問題に対処している。

CVD法やPVD法により形成した絶縁膜は熱酸化法に対して低温で形成可能であるが、シリコンと絶縁膜界面におけるトラップ単位が熱酸化法に比べて多いためにデバイスの電気特性や信頼性への影響が避けられない。

また、近年盛んに研究されている薄膜トランジスタ等の能動素子をマトリックス状に形成したアクティブマトリックスアレイを用いた液晶表示装置や、イメージセンサ等の入出力デバイスにおいては安価で大面積化が容易なガラス基板が用いられることが多い。ガラス基板は耐熱性が低いために低温(600℃以下)で良質な絶縁膜を形成する必要がある。特に薄膜トランジスタの活性層として高移動度な多結晶シリコンを用いた場合、良好なトランジスタを得るためには多結晶シリコン上に界面トラップ等の欠陥の少ない良質な絶縁膜を

低温（ガラスの耐熱温度以下）で作成することが必要不可欠となってくる。実際には良好な絶縁膜とシリコン界面を形成するために熱酸化法が用いられる事が多いが、前述のように石英等の高融点材料を用いざるを得ずコストの点で問題が生じる。

#### 課題を解決するための手段

基板上に半導体薄膜を形成し、前記半導体薄膜を酸素、酸素化合物、水蒸気あるいは窒素を構成元素として含むガスのうち少なくとも1種類以上の気体を含む雰囲気中で、エネルギービーム（例えばレーザー光や電子ビーム、赤外線等）の照射を行うことにより半導体薄膜表面にピンホールの少ない絶縁物薄膜を低温で形成する。

また、前記絶縁膜を薄膜トランジスタ等の能動素子に適用する場合には、前記絶縁膜層上にさらに第2の絶縁膜を形成することにより活性層と絶縁膜との外面においてトラップ等の少ない良質な絶縁膜を形成しつつ、かつ所望の電気的特性を持つ絶縁膜を得ることが可能である。

#### 作用

可能となる。

また、本発明の製造方法により形成した絶縁膜は、ピンホールが少ないために薄膜トランジスタのゲート絶縁膜として用いた場合絶縁不良を起こす確率が少なく、かつ極薄膜のため静電容量が大きく薄膜トランジスタのON電流を大きくする事が可能である。しかも活性層とゲート絶縁膜の界面での単位密度が少ないために信頼性の向上が図られる。

さらに、本発明の製造方法を用いたゲート絶縁膜上にさらに同種あるいは異種の第2の絶縁膜を形成する事により、第1層の絶縁膜の絶縁不良の確率が小さいため第2層目の絶縁膜の膜厚を薄くする事が可能となり、ゲート絶縁膜の耐圧を制御しつつゲート絶縁膜の容量を増大させON電流の増大を図る事が可能である。

上記のように本発明の製造方法を用いることにより、電気的特性に優れた絶縁膜を低温で形成することが可能である。

#### 実施例

シリコン半導体に対して、酸素、酸素化合物、水蒸気あるいは窒素を構成元素として含むガスとして含む雰囲気のうち少なくとも1種類以上の気体を含む雰囲気中でレーザー光や電子ビーム等のエネルギービームを照射することによりシリコン半導体を部分的に熔融あるいは半熔融状態としシリコン半導体表面に雰囲気ガス中の酸素あるいは窒素との表面反応を起こし酸化シリコン薄膜あるいは窒化シリコン薄膜を形成する。本発明により形成される絶縁膜はシリコン半導体の熔融時間が熱酸化法等に比べ短いために極表面部のみ形成されるが、絶縁膜の膜質としては界面単位やピンホールの少ない良質な絶縁膜が形成可能である。

一般的にエネルギービームの照射によりシリコン半導体が熔融する時間は非常に短時間に設定されるために、基板へ熱が拡散され基板温度が上昇する前に冷却されるため基板の温度上昇は少なく抑えられる。前記の特徴により基板の耐熱性の問題で従来の熱酸化法を用いることができなかった基板材料、例えば低融点ガラス基板等への応用が

以下に本発明の実施例を図面を基に説明する。

第1図は本発明の絶縁膜の製造方法を用いた薄膜トランジスタの実施例の一例である。第1図(a)に示したようにガラス基板1上に非晶質半導体薄膜2が形成されており、前記基板に対してN<sub>2</sub>Oガスを含む雰囲気中においてエネルギービーム（ここではレーザー光）の照射を行う。第1図(a)の状態でのエネルギービーム照射によって非晶質半導体薄膜2は部分的に熔融あるいは半熔融状態となり、雰囲気ガス中の酸素との表面反応を起こし非晶質半導体薄膜表面に酸化シリコン膜3を形成する。また、同時に非晶質半導体薄膜はエネルギービームの照射により結晶化し多結晶半導体薄膜となる。次いで第1図(b)に示すように多結晶半導体薄膜を減圧CVD法等により形成しゲート電極4を形成する。第1図(c)に示すようにゲート電極4をマスクとして自己整合（セルフアライン）によりソース、ドレイン電極形成のための不純物（第1図(d)ではP）をイオン注入により導入する。第1図(d)に示すように注入イオンの活性化を行った

後、トランジスタ部以外の半導体層をエッチング除去しパッシベーション $\text{SiO}_2$ 膜5を形成する。最後に第1図(c)に示すようにソース、ドレイン領域のn形低抵抗領域7上の絶縁膜をエッチング除去しソース、ドレイン電極8を形成する。

本発明の絶縁膜の製造方法を用いて薄膜トランジスタを作成したところ、酸化シリコン薄膜がガラス基板上に低温で形成でき、かつゲート絶縁膜とシリコン半導体界面でのトラップ準位が減少し信頼性が向上した。また、ゲート絶縁膜の静電容量が増大したことによりトランジスタのON電流が向上した。

第2図に本発明の薄膜トランジスタの製造方法の一例を示す。

基本的なトランジスタの構成は第1図に記載の物と同一であり図中の番号も第1図と対応している。第1図と異なる点は第2図(c)においてエネルギービームの照射により形成した酸化シリコン膜3上に窒化シリコン膜3'をプラズマCVD法により形成し2層ゲート絶縁膜を形成した後に多結

晶シリコンを堆積しゲート電極を形成する点にある。

本発明の製造方法を用いた薄膜トランジスタを作成したところ従来の酸化シリコンあるいは窒化シリコン単層で形成したゲート絶縁膜に比べ、第1層の酸化シリコン膜のピンホール密度が小さいために第2層目の絶縁膜の膜厚を薄くしても絶縁不良の確率が少なくなる。従って、ゲート絶縁膜の絶縁耐圧を向上させつつ従来の単層ゲート絶縁膜に比べゲート絶縁膜の静電容量を向上させることができ、トランジスタのON電流を向上させることが可能となった。

#### 発明の効果

上記のように本発明によれば、半導体薄膜の表面に低温で良質な絶縁膜を形成することが可能である。また、絶縁膜の形成と同時に半導体薄膜の改質を同時に行うことが出来る。前記特徴を用いて薄膜トランジスタを作成することにより半導体層とゲート絶縁膜界面におけるトラップ等の欠陥の少ない良好な界面が形成できトランジスタ特性

が向上し、かつ信頼性の向上が図られた。

本発明を薄膜トランジスタ等に応用することにより機能素子の高性能化及び高集積化が可能である。

なお、本発明の実施例には記載していないが、窒素を構成元素として含む反応性雰囲気においてエネルギービームの照射を行うことにより窒化シリコン膜を形成することも同様効果が期待できる。また、シリコン以外の半導体に関しても応用可能である。

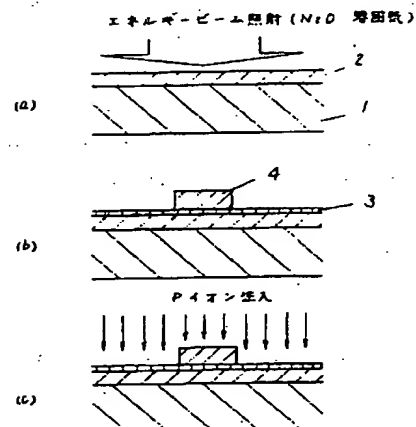
#### 4. 図面の簡単な説明

第1図は本発明の一実施例である絶縁膜の製造方法を用いた薄膜トランジスタの製造方法の工程図、第2図は他の実施例の工程図である。

1…透光性基板(ガラス基板)、2…非晶質半導体薄膜(非晶質シリコン)、3…ゲート絶縁膜( $\text{SiO}_2$ 膜)、3'…第2のゲート絶縁膜( $\text{SiNx}$ )、4…ゲート電極、5…パッシベーション膜、6…ソース及びドレイン電極、7…n形低抵抗領域(Pドープ領域)。

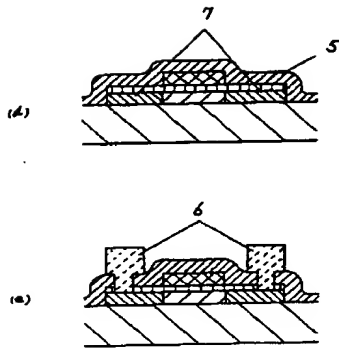
- 1…ガラス基板
- 2…非晶質半導体薄膜
- 3…ゲート絶縁膜( $\text{SiO}_2$ 膜)
- 4…ゲート電極(多結晶シリコン)

第1図



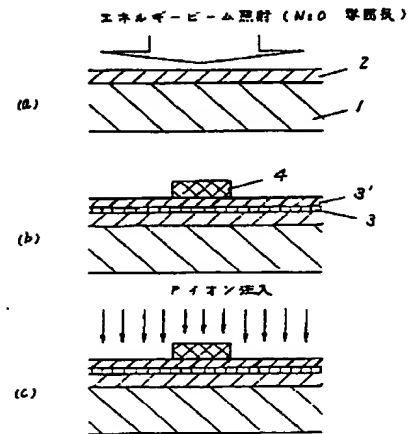
5 ... パッシベーション膜 (SiO<sub>2</sub>膜)  
6 ... ソース ドレイン電極  
7 ... 元抵抗体抵抗部

第 1 図



1 ... ガラス基板  
2 ... 非晶質半導体薄膜  
3 ... ゲート絶縁膜 (SiO<sub>2</sub>膜)  
3' ... ゲート絶縁膜 (Si<sub>3</sub>N<sub>4</sub>膜)  
4 ... ゲート電極 (多結晶シリコン)

第 2 図



5 ... パッシベーション膜 (SiO<sub>2</sub>膜)  
6 ... ソース ドレイン電極  
7 ... 元抵抗体抵抗部

第 2 図

